

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-373945

(43)Date of publication of application : 26.12.2002

(51)Int.Cl.

H01L 21/8242

H01L 21/316

H01L 21/822

H01L 27/04

H01L 27/108

(21)Application number : 2001-178539

(71)Applicant : NEC CORP

(22)Date of filing : 13.06.2001

(72)Inventor : IIZUKA TOSHIHIRO

YAMAMOTO ASAE

TODA ASAMI

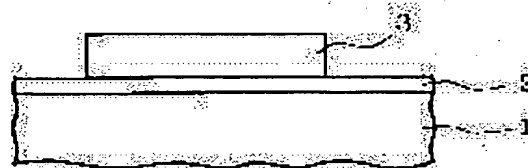
YAMAMICHI SHINTARO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a thin-film capacitor for reducing leak current and increasing capacitance.

SOLUTION: An upper electrode 3 and a lower electrode 1 are made of at least one material selected from metals TiN, Ti, W, WN, Pt, Ir, and Ru or a metal nitride. Additionally, a capacitance insulating film 2 is made of a material selected from at least one of  $ZrO_2$ ,  $HfO_2$ ,  $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ ),  $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ ),  $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ ) or  $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$  and  $k+l+m=1$ ).



## LEGAL STATUS

[Date of request for examination]

25.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号  
特開2002-373945  
(P2002-373945A)

(43) 公開日 平成14年12月26日 (2002. 12. 26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード (参考)
H 0 1 L	21/8242	H 0 1 L	21/316
	21/316		27/10
	21/822		6 5 1
	27/04		6 2 1 C
	27/108		6 8 1 F
		27/04	C
審査請求 未請求 請求項の数21 O L (全 16 頁)			

(21) 出願番号 特願2001-178539(P2001-178539)

(22) 出願日 平成13年6月13日 (2001. 6. 13)

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 飯塚 敏洋

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(72) 発明者 山本 朝恵

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(74) 代理人 100086645

弁理士 岩佐 義幸

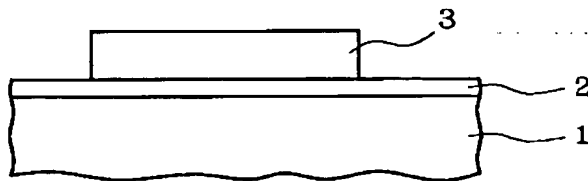
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 リーク電流を減少させ、かつ容量値を増加させることのできる薄膜キャパシタを提供する。

【解決手段】 上部電極3および下部電極1は、Ti、N、Ti、W、WN、Pt、Ir、Ruの金属もしくは金属窒化物中から選ばれる少なくとも1つの材料から成り、容量絶縁膜2は、原子層成長 (Atomic Layer Deposition: 以下、ALDという) 法により形成した  $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ ) あるいは  $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$  かつ  $k+l+m=1$ ) の少なくとも1つから選ばれる材料から成る。



## 【特許請求の範囲】

【請求項1】  $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ ) あるいは  $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$  かつ  $k+l+m=1$ ) の少なくとも1つから選ばれる材料を容量絶縁膜としたMIM (Metal-Insulator-Metal) 構造の容量を有することを特徴とする半導体装置。

【請求項2】 前記容量の容量絶縁膜が原子層成長法 (Atomic Layer Deposition) により形成されることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記容量の下部電極および上部電極は、TiN、Ti、W、WN、Pt、Ir、Ruの金属もしくは金属窒化物中から選ばれる少なくとも1つからなることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 ゲート電極およびソース/ドレイン拡散層が高融点金属によりシリサイド化されたトランジスタを有する半導体装置であって、前記ソース/ドレイン拡散層上に形成された絶縁膜上に、 $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ ) あるいは  $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$  かつ  $k+l+m=1$ ) の少なくとも1つから選ばれる材料を容量絶縁膜としたMIM構造の容量を有することを特徴とする半導体装置。

【請求項5】 前記容量の容量絶縁膜が原子層成長法により形成されることを特徴とする請求項4に記載の半導体装置。

【請求項6】 前記容量の下部電極および上部電極は、TiN、Ti、W、WN、Pt、Ir、Ruの金属もしくは金属窒化物中から選ばれる少なくとも1つからなることを特徴とする請求項4または5に記載の半導体装置。

【請求項7】 前記容量は、DRAMのセル容量であることを特徴とする請求項4～6のいずれかに記載の半導体装置。

【請求項8】 前記DRAMのセル容量は、シリンダー型構造、プレーナ型構造またはボックス型構造を有することを特徴とする請求項7に記載の半導体装置。

【請求項9】 前記シリンダー型構造を有するセル容量のシリンダー内部は最上層が上部電極で覆われ、各上部電極は共通電極配線で接続されていることを特徴とする請求項8に記載の半導体装置。

【請求項10】 前記高融点金属はコバルトまたはニッケルであることを特徴とする請求項4～9のいずれかに記載の半導体装置。

【請求項11】 配線に絶縁膜を介して  $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ ) あるいは  $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$  かつ  $k+l+m=1$ ) の少なくとも1つから選ばれる材料を容量絶縁膜としたMIM構造の容量を有することを特徴とする半導体装置。

$(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ ) あるいは  $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$  かつ  $k+l+m=1$ ) の少なくとも1つから選ばれる材料を容量絶縁膜としたMIM構造の容量を有することを特徴とする半導体装置。

【請求項12】 前記容量の容量絶縁膜が原子層成長法により形成されることを特徴とする請求項11に記載の半導体装置。

【請求項13】 前記配線は電源配線および接地配線であり、前記容量の下部電極は前記電源配線または前記接地配線のいずれか一方と電気的に接続されており、前記容量の上部電極は前記電源配線と前記接地配線の他方と電気的に接続されていることを特徴とする請求項11または12に記載の半導体装置。

【請求項14】 前記容量の下部電極および上部電極は、TiN、Ti、TaN、Ta、W、WN、Pt、Ir、Ruの中から選ばれる少なくとも1つからなることを特徴とする請求項11～13のいずれかに記載の半導体装置。

【請求項15】 請求項1～3のいずれかに記載の半導体装置の製造方法において、前記容量の下部電極を形成し、前記下部電極上に原子層成長法により  $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ ) あるいは  $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$  かつ  $k+l+m=1$ ) の少なくとも1つから選ばれる材料から成る容量絶縁膜を形成し、前記容量絶縁膜の形成後に原子層成長法による形成温度以上で熱処理を行うことを特徴とする半導体装置の製造方法。

【請求項16】 請求項4～10のいずれかに記載の半導体装置の製造方法において、前記容量の下部電極を形成し、前記下部電極上に原子層成長法により  $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ ) あるいは  $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$  かつ  $k+l+m=1$ ) の少なくとも1つから選ばれる材料から成る容量絶縁膜を形成し、さらに前記容量絶縁膜上に上部電極を形成することを特徴とする半導体装置の製造方法。

【請求項17】 請求項4～10のいずれかに記載の半導体装置の製造方法において、前記容量の下部電極を形成し、前記下部電極上に原子層成長法により  $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ ) あるいは  $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$  かつ  $k+l+m=1$ ) の少なくとも1つから選ばれる材料から成る容量絶縁膜を形成し、前記容量絶縁膜の形成後に原子層成長

法による形成温度以上で、かつ高融点金属によりシリサイド化された前記ゲート電極およびソース／ドレイン拡散層で高融点金属シリサイドが凝集しない温度以下で熱処理を行うことを特徴とする半導体装置の製造方法。

【請求項18】請求項4～10のいずれかに記載の半導体装置の製造方法において、前記容量の下部電極を形成し、前記下部電極上に原子層成長法により $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ )あるいは $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$ かつ $k+l+m=1$ )の少なくとも1つから選ばれる材料から成る容量絶縁膜を形成し、前記容量絶縁膜上に上部電極を形成した後、原子層成長法による形成温度以上で、かつ高融点金属によりシリサイド化された前記ゲート電極およびソース／ドレイン拡散層で高融点金属シリサイドが凝集しない温度以下で熱処理を行うことを特徴とする半導体装置の製造方法。

【請求項19】前記容量をDRAMのセル容量として、下部電極、 $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ )あるいは $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$ かつ $k+l+m=1$ )の少なくとも1つから選ばれる材料から成る容量絶縁膜、上部電極を順に同一装置内で連続して形成することを特徴とする請求項16～18のいずれかに記載の半導体装置の製造方法。

【請求項20】シリンドー型構造を有する前記DRAMのセル容量の前記上部電極形成後にシリンドー外側の下部電極、容量絶縁膜、上部電極をエッチング除去してシリンドー形状の容量を形成し、各シリンドー内部に埋設された上部電極を共通配線で接続することを特徴とする請求項19に記載の半導体装置の製造方法。

【請求項21】配線に絶縁膜を介してMIM構造の容量を有する請求項11～14のいずれかに記載の半導体装置の製造方法において、前記容量の下部電極を形成し、前記下部電極上に原子層成長法により $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ )あるいは $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$ かつ $k+l+m=1$ )の少なくとも1つから選ばれる材料から成る容量絶縁膜を形成し、さらに前記容量絶縁膜上に上部電極を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜キャパシタを有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】従来、汎用DRAMでは、メモリセルの

容量絶縁膜として高誘電率物質の $Ta_2O_5$ が検討されており、この場合、容量の下部電極には、表面に凹凸を形成しやすく（例えば、いわゆるHSG構造）、単位面積当たりの容量値を大きくできるため、多結晶シリコン層を使うのが一般的である。この多結晶シリコン層の形成には $700 \sim 900^\circ\text{C}$ 程度の高温のプロセス処理が必要である。

【0003】一方、同一チップにロジック部とメモリ部を形成するロジック混載DRAMでは、ロジック部は、トランジスタの高速化のため、ゲート電極およびソース／ドレイン拡散層領域はCo（コバルト）でシリサイド化する必要がある。

【0004】しかし、Coシリサイド層は、低抵抗化を実現できるが、温度を上げるとCoシリサイド層に凝集が発生し、ゲート電極および拡散層の抵抗値が上昇するため、Coシリサイド層形成以降の工程では、プロセス処理温度を上げることができない。例えば、ゲート長 $0.15 \mu\text{m}$ 世代では約 $600^\circ\text{C}$ が上限である。

【0005】したがって、ロジック混載DRAMのメモリ部の容量絶縁膜に $Ta_2O_5$ を使い、下部電極に多結晶シリコン層を使おうとすると、多結晶シリコン層の形成には高温のプロセス処理が必要であり、ロジック部のトランジスタが高温プロセスを経ることにより劣化してしまうという問題があるため、ゲート長 $0.15 \mu\text{m}$ 以降の世代では、下部電極に多結晶シリコン層が使えない。そのため、容量の電極を、Coシリサイドの凝集が起きない $500^\circ\text{C}$ 以下の低温形成が可能な金属もしくは金属の窒化物、具体的にはTiN、WあるいはRu等の電極に換えたいという要望がある。

【0006】次に、下部電極に金属もしくは金属の窒化物を用い、容量絶縁膜に $Ta_2O_5$ を用いた従来の薄膜キャパシタの製造方法について説明する。

【0007】TiN、WあるいはRu等から成る下部電極をCVD法あるいはPVD法などにより形成し、次に、熱CVD法により $Ta_2O_5$ 容量絶縁膜を形成し、次に、 $Ta_2O_5$ キャパシタのリーク電流を低減する目的で、 $500^\circ\text{C}$ 以上でRTO（Rapid Thermal Oxidation）あるいはUV- $O_3$ 酸化などのポストアニールを行う。この後、例えば、TiNから成る上部電極をCVD法あるいはPVD法などにより形成し、所望の形状に加工することにより、 $Ta_2O_5$ 層を容量絶縁膜に用いたMIM構造の薄膜キャパシタを得る。

【0008】図19は、容量絶縁膜に $Ta_2O_5$ を使い、下部電極と上部電極にTiNを用いたときの電極間電圧（Vp）とリーク電流との関係を示す図である。図19では、 $25^\circ\text{C}$ と、 $85^\circ\text{C}$ 、 $125^\circ\text{C}$ のときのリーク電流値を示しており、この図からデバイス動作補償温度である $85^\circ\text{C}$ 程度以上でのリーク電流が著しく増加することが分かる。

【0009】また、LSIチップでは、LSIの配線の上層に高誘電薄膜キャパシタを形成し、デカップリングコンデンサとして用いることが検討されている。デカップリングコンデンサは、電源とLSIの配線間に存在する寄生インダクタンス等によって生じる電圧降下を補うために設置される。

【0010】従来のデカップリングコンデンサを図20に示す。従来は図20に示すように、プリント基板91に実装されたLSIチップ92の周辺に積層セラミックコンデンサ93を多数個配置し、デカップリングコンデンサとして機能させる手法が一般的に用いられている。しかし、積層セラミックコンデンサの共振周波数は約80MHz程度であり、LSIが数百MHz～数GHzへと高速化された場合、十分な電荷補償が行えず、デカップリングコンデンサとして機能し得ないという問題が生じている。

【0011】図21は、この問題を解決するために提案された構造である。半導体装置の配線の上層に高誘電薄膜キャパシタを形成し、オンチップデカップリングコンデンサとして用いている。

【0012】図21に示すように、半導体装置の配線（接地線）94、配線（電源線）95の直上にCVD法により下部電極膜／容量絶縁膜／上部電極膜を順次成膜し、所望の形状に加工して下部電極96、容量絶縁膜97、上部電極98からなる薄膜キャパシタを形成し、この薄膜キャパシタをデカップリングコンデンサ99として機能させている。下部電極96および上部電極98にはTiNが用いられ、容量絶縁膜97には $Ta_2O_5$ が用いられる。なお、リーク電流低減のために $Ta_2O_5$ からなる容量絶縁膜97の形成後にUV- $O_3$ アニール（500℃）を行う。

【0013】半導体装置の配線の上層に高誘電薄膜キャパシタを形成し、デカップリングコンデンサとして用いる場合には、オンチップであること、および高誘電キャパシタを用いることにより、低インダクタンスかつ大容量の要求に対応している。

【0014】

【発明が解決しようとする課題】上述のようにTiN、WあるいはRu等を下部電極に用い、 $Ta_2O_5$ を容量絶縁膜に用いた従来の薄膜キャパシタでは、 $Ta_2O_5$ 層形成直後ではリーク電流が大きい酸化雰囲気中でのポストアニールを行う必要があり、このポストアニールにより下部電極層が酸化されて低誘電率層が形成されるため、 $Ta_2O_5$ 層を薄膜化しても高容量が得られないという問題がある。

【0015】また、ポストアニールによる酸化は下部電極層で凹凸発生や剥離を引き起こすため、歩留まりの低下を引き起こす問題がある。

【0016】また、図21に示すように、室温25℃では問題のないリーク電流値であっても、85℃、125

℃と温度を上げていくに従ってリーク電流が増加してしまい、デバイス動作補償温度で十分な容量特性が確保できないという問題がある。

【0017】また、半導体装置の最上層配線の上層に高誘電薄膜キャパシタを形成し、デカップリングコンデンサとして用いる場合には、オンチップであること、および高誘電キャパシタを用いることにより、低インダクタンスかつ大容量の要求に対応しているが、現状では薄膜キャパシタの形成方法に問題がある。

【0018】上記薄膜キャパシタの容量絶縁膜として、PVD法あるいはCVD法による $Ta_2O_5$ 、 $SrTiO_3$ 、 $(Ba, Sr)TiO_3$ 等が提案されている。しかしながら、従来のPVDあるいはCVDによる形成方法では、高い容量値を有する良質な容量絶縁膜を得るために成膜温度を400℃以上の高温にする必要がある。また、リーク電流減少のために450℃以上での酸化雰囲気中でポストアニールを行う必要がある。近年、配線には銅配線が用いられており、このため、配線層の上層にキャパシタを形成する場合に400℃以上の高温にすると配線層が酸化し、特性劣化、歩留まり低下を引き起こす問題がある。すなわち、従来の薄膜キャパシタ形成手法では、LSIの高速化に対応した大容量かつ低インダクタンスのオンチップデカップリングコンデンサを実現することができない。

【0019】本発明の目的は、同一チップにロジック部とメモリ部を搭載する半導体装置でゲート電極およびソース／ドレイン拡散層領域に形成したシリサイド層の劣化に伴うトランジスタ特性を劣化させることなく、かつ、メモリ部に搭載されるDRAMセルの容量として高容量かつ低リーク電流を実現できる容量を提供することにある。

【0020】さらに、本発明の他の目的は、配線層が形成された以降の工程（すなわち、配線層より上層）で、その容量を形成した半導体装置およびその製造方法を提供することにある。

【0021】

【課題を解決するための手段】本発明は、 $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ )あるいは $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$ かつ $k+l+m=1$ )の少なくとも1つから選ばれる材料を容量絶縁膜としたMIM (Metal-Insulator-Metal) 構造の容量を有することを特徴とする。

【0022】また、本発明は、ゲート電極およびソース／ドレイン拡散層が高融点金属によりシリサイド化されたトランジスタを有する半導体装置であって、前記ソース／ドレイン拡散層上に形成された絶縁膜上に、 $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(H$

$f_z, Ti_{1-z})O_2$  ( $0 < z < 1$ ) あるいは  $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$  かつ  $k+l+m=1$ ) の少なくとも1つから選ばれる材料を容量絶縁膜としたMIM構造の容量を有することを特徴とする。

【0023】また、本発明は、配線上に絶縁膜を介して  $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ ) あるいは  $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$  かつ  $k+l+m=1$ ) の少なくとも1つから選ばれる材料を容量絶縁膜としたMIM構造の容量を有することを特徴とする。

【0024】また、本発明は、容量の下部電極を形成し、前記下部電極上に原子層成長法により  $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ ) あるいは  $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$  かつ  $k+l+m=1$ ) の少なくとも1つから選ばれる材料から成る容量絶縁膜を形成し、前記容量絶縁膜の形成後に原子層成長法による形成温度以上で熱処理を行うことを特徴とする。

【0025】また、本発明は、容量の下部電極を形成し、前記下部電極上に原子層成長法により  $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ ) あるいは  $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$  かつ  $k+l+m=1$ ) の少なくとも1つから選ばれる材料から成る容量絶縁膜を形成し、前記容量絶縁膜の形成後に原子層成長法による形成温度以上で、かつ高融点金属によりシリサイド化された前記ゲート電極およびソース/ドレイン拡散層で高融点金属シリサイドが凝集しない温度以下で熱処理を行うことを特徴とする。

【0026】また、本発明は、配線上に絶縁膜を介してMIM構造の容量を有する半導体装置の製造方法において、前記容量の下部電極を形成し、前記下部電極上に原子層成長法により  $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ ) あるいは  $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$  かつ  $k+l+m=1$ ) の少なくとも1つから選ばれる材料から成る容量絶縁膜を形成し、さらに前記容量絶縁膜上に上部電極を形成することを特徴とする。

【0027】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0028】図1は、本発明の第1の実施の形態にかか

る薄膜キャパシタの構造を示す図である。本発明の第1の実施の形態は、MIM (Metal-Insulator-Metal) 構造の薄膜キャパシタを備える半導体装置であり、薄膜キャパシタは、下部電極1、容量絶縁膜2、および上部電極3を有し、上部電極3および下部電極1は、 $TiN$ 、 $Ti$ 、 $W$ 、 $WN$ 、 $Pt$ 、 $Ir$ 、 $Ru$ の金属もしくは金属窒化物中から選ばれる少なくとも1つの材料から成り、容量絶縁膜2は、原子層成長 (Atomic Layer Deposition: 以下、ALDという) 法により形成した  $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ ) あるいは  $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$  かつ  $k+l+m=1$ ) の少なくとも1つから選ばれる材料から成る。

【0029】なお、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ ) は、 $Zr$ と $Hf$ との固溶体の酸化物であり、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ ) は、 $Zr$ と $Ti$ との固溶体の酸化物であり、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ ) は、 $Hf$ と $Ti$ との固溶体の酸化物であり、 $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$  かつ  $k+l+m=1$ ) は、 $Zr$ と $Ti$ と $Hf$ との固溶体の酸化物である。

【0030】ここでは、容量絶縁膜が  $ZrO_2$  から成る場合の薄膜キャパシタの製造方法について説明する。まず、 $TiN$ 、 $Ti$ 、 $W$ 、 $WN$ 、 $Pt$ 、 $Ir$ 、 $Ru$ の群中から選ばれる少なくとも1つの材料を用いて、PVD法、CVD法またはALD法により5～50nmの膜厚の下部電極薄膜を成膜して下部電極1を形成する。

【0031】次に、ALD法により  $ZrO_2$  薄膜から成る容量絶縁膜を成膜する。図2は、ALD装置を用いて  $ZrO_2$  薄膜を成膜する処理を説明するフロー図である。

【0032】 $ZrO_2$  薄膜の成膜には、 $Zr$ 原料として  $ZrCl_4$  を使い、酸素材料として  $H_2O$  を使う。成膜温度は200～400℃とする。

【0033】まず、ALD装置のチャンバー内に  $ZrCl_4$  を原料として供給し、下部電極薄膜表面に反応を起こさせて1原子層だけ成長させる。次に、 $ZrCl_4$  の供給を停止してチャンバーの中に  $Ar$  や  $N_2$  に代表される不活性ガスをバージガスとして入れて過剰の未反応  $ZrCl_4$  を除去する。

【0034】この後に、今度は、 $H_2O$  を供給して基板上に成長した  $Zr$  を終端している  $Cl$  基を  $H_2O$  中の  $O$  基と置換する。この際、反応副生成物として  $HCl$  が発生する。次に、 $H_2O$  の供給を停止して、 $Ar$  や  $N_2$  に代表される不活性ガスをバージガスとして導入し、未反応  $H_2O$  および反応副生成物  $HCl$  を除去し、バージガスを停止する。

【0035】この後、 $ZrCl_4$  をもう一度供給して、

1原子層だけ成長させる。 $ZrCl_4$ の供給を停止し、パージガスを導入することにより未反応 $ZrCl_4$ と反応副生成物 $HCl$ を除去する。

【0036】このように、 $ZrCl_4$ 供給、パージ、 $H_2O$ 供給およびパージの一連のサイクルを所望の回数だけ順次繰り返すことで5~15nmの膜厚の $ZrO_2$ からなる容量絶縁膜2を得る。

【0037】 $ZrO_2$ 薄膜を形成した後に、 $TiN$ ,  $Ti$ ,  $W$ ,  $WN$ ,  $Pt$ ,  $Ir$ ,  $Ru$ の群中から選ばれる少なくとも1つの材料を用いて、PVD法、CVD法またはALD法により5~50nmの膜厚の上部電極薄膜を成膜し、所望の形状に加工して下部電極3を形成することで、薄膜キャパシタを得る。

【0038】このようにして形成された薄膜キャパシタは、電気絶縁性が高く、誘電率の大きい材料である $ZrO_2$ 薄膜を容量絶縁膜に用いており、 $ZrO_2$ を薄膜にしてもリーク電流増加が小さいため、低リーク電流かつ高容量となる。

【0039】また、 $ZrO_2$ 薄膜形成をALD法で行うことにより、低温成膜かつ酸化雰囲気中でのポストアニールプロセスの工程が省略できるため、下部電極の酸化による容量低下、リーク電流増加、歩留まり低下が防げる。

【0040】図3は、容量絶縁膜に $ZrO_2$ を用い、上部電極と下部電極に $TiN$ を用いたときの薄膜キャパシタの電極間電圧( $V_p$ )とリーク電流との関係を示す図である。図21に示した容量絶縁膜に $Ta_2O_5$ を用いた薄膜キャパシタと比較して、明らかにリーク電流が減少していることが分かる。

【0041】なお、上述した実施の形態では、ALD法により成膜する容量絶縁膜を $ZrO_2$ としたが、容量絶縁膜を $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ )あるいは $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$ かつ $k+l+m=1$ )の少なくとも1つから選ばれる材料とした場合も同様の効果が得られる。

【0042】 $HfO_2$ を容量絶縁膜とする場合には、 $Hf$ 原料に $HfCl_4$ を用い、酸素材料に $H_2O$ を用いる。

【0043】 $(Zr_x, Hf_{1-x})O_2$ を容量絶縁膜とする場合には、 $Zr$ 原料に $ZrCl_4$ を用い、 $Hf$ 原料に $HfCl_4$ を用い、酸素材料に $H_2O$ を用いる。

【0044】 $(Zr_y, Ti_{1-y})O_2$ を容量絶縁膜とする場合には、 $Zr$ 原料に $ZrCl_4$ を用い、 $Ti$ 原料に $TiCl_4$ を用い、酸素材料に $H_2O$ を用いる。

【0045】 $(Hf_z, Ti_{1-z})O_2$ を容量絶縁膜とする場合には、 $Hf$ 原料に $HfCl_4$ を用い、 $Ti$ 原料に $TiCl_4$ を用い、酸素材料に $H_2O$ を用いる。

【0046】 $(Zr_k, Ti_l, Hf_m)O_2$ を容量絶

縁膜とする場合には、 $Zr$ 原料に $ZrCl_4$ を用い、 $Ti$ 原料に $TiCl_4$ を用い、 $Hf$ 原料に $HfCl_4$ を用い、酸素材料に $H_2O$ を用いる。

【0047】次に、本発明の第2の実施の形態について説明する。

【0048】第2の実施の形態は、ALD法により形成した $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ )あるいは $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$ かつ $k+l+m=1$ )の少なくとも1つから選ばれる材料を容量絶縁膜としたMIM構造の薄膜キャパシタにおいて、容量絶縁膜の成膜後にアニール処理を行うものである。

【0049】第1の実施の形態に係る $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ )あるいは $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$ かつ $k+l+m=1$ )の少なくとも1つから選ばれる材料を容量絶縁膜としたMIM構造の薄膜キャパシタは、容量絶縁膜に $Ta_2O_5$ を用いた薄膜キャパシタとの比較では、低リーク電流かつ高容量であり、DRAMセルのキャパシタに十分に適用できるが、容量絶縁膜を薄膜化していったときの容量増加が小さく( $t_{eq}$ 減少が小さく)、リーク電流は増加してしまう。

【0050】図4は、容量絶縁膜に $ZrO_2$ を用い、上部電極と下部電極に $TiN$ を用いたときの $t_{eq}$ ( $SiO_2$ 換算膜厚)と実膜厚との関係を示す図であり、図4に示すように、低誘電率層の寄与分による容量低下が見られる。

【0051】これは $ZrO_2$ 薄膜形成直後では、結晶性の低い $ZrO_2$ 界面層が存在し、この層が低誘電率層として機能するため、薄膜化しても低誘電率層の寄与分が大きく、キャパシタ全体の容量値を増加させられないためである。一方、リーク電流は薄膜化により増加してしまう。

【0052】これに対し、本発明の第2の実施の形態では、第1の実施の形態により形成した薄膜キャパシタ、すなわちALD法により生成した $ZrO_2$ 薄膜を容量絶縁膜とするMIM構造の薄膜キャパシタにおいて、 $ZrO_2$ 薄膜の成膜後に300~700℃でアニール処理を行って、薄膜キャパシタの更なる高容量かつ低リーク電流を実現している。

【0053】上述したように、金属電極上にALD法で $ZrO_2$ 層を形成しただけでもDRAMセルのキャパシタとして使用できるが、DRAMの微細化、高集積化の要求に対応するには、さらに高容量かつ低リーク電流が得られることが望ましい。

【0054】本発明者らは、金属電極上にALD法で $Z$

$\text{rO}_2$  層を形成しただけでは下部電極/ $\text{ZrO}_2$  界面に、 $\text{ZrO}_2$  層がアモルファス化している領域が存在し、このために $\text{ZrO}_2$  を容量絶縁膜とするMIM薄膜キャパシタ本来の特性が得られていないことを突き止めた。すなわち、アモルファス層がMIM薄膜キャパシタ中で低誘電率層として機能するために、得られる容量値が低下してしまう。

【0055】さらに、本発明者らは、このアモルファス化層が、 $\text{ZrO}_2$  層形成後、アニール処理をすることで結晶化することを確認した。この結晶化により $\text{ZrO}_2$  層は均質化され、上述した低誘電率層が除去されるため、アニール処理がない場合よりも高容量かつ低リーク電流が得られることも確認した。

【0056】例えば、 $\text{TiN}$ から成る下部電極上に、ALD法により $\text{ZrO}_2$  容量絶縁膜を $200\sim 400^\circ\text{C}$ で形成する。次に、例えば $\text{TiN}$ から成る上部電極を形成し、所望の形状に加工することによりMIM薄膜キャパシタを得る。この後、得られた薄膜キャパシタを $\text{ZrO}_2$  層形成温度以上の温度、かつ $300\sim 700^\circ\text{C}$ でアニール処理を行う。

【0057】なお、上記アモルファス層は、容量絶縁膜成膜時に形成されるものであり、上記アニール処理は、容量絶縁膜形成後であれば良く、容量絶縁膜形成直後であっても上部電極形成後であっても同様の効果が得られる。

【0058】また、アニール処理時の雰囲気は問わないが、下部電極材料の酸化による特性劣化を引き起こさない非酸化性雰囲気、すなわち $\text{N}_2$ 、 $\text{Ar}$ 、 $\text{He}$ 、フォーミングガス( $\text{H}_2 + \text{N}_2$ )等が望ましい。

【0059】図5は、容量絶縁膜に $\text{ZrO}_2$  を使い、上部電極と下部電極に $\text{TiN}$ を用いたときの $t_{eq}$  ( $\text{SiO}_2$  換算膜厚)と実膜厚との関係を示す図である。図5に示すように、アニール処理を行うと、低誘電率層寄与分が無くなることが分かる。●は、アニール処理を行わなかった薄膜キャパシタの場合、すなわち、図4と同じものを示しており、○は、水素と窒素の混合ガスでアニール処理を行った薄膜キャパシタを示しており、△は、窒素のみでアニール処理を行った薄膜キャパシタを示している。

【0060】図6は、容量絶縁膜に $\text{ZrO}_2$  を使い、上部電極と下部電極に $\text{TiN}$ を用いたときのリーク電流と $t_{eq}$  ( $\text{SiO}_2$  換算膜厚)との関係を示す図である。図6において、○は、アニール処理を行わなかった薄膜キャパシタの場合を示しており、□は、水素と窒素の混合ガスでアニール処理を行った薄膜キャパシタを示しており、△は、窒素のみでアニール処理を行った薄膜キャパシタを示している。この図では、水素と窒素の混合ガスでアニール処理を行った場合と、窒素のみでアニール処理を行った場合とでは、ほぼ同じリーク電流値を示しており、熱処理だけが有効であって、アニールの雰囲気

は、影響されないことが分かる。

【0061】上述のように、第2の実施の形態に係る薄膜キャパシタでは、 $\text{ZrO}_2$  薄膜形成直後に存在する低誘電率層(結晶性の低い $\text{ZrO}_2$  界面層)が、アニール処理により結晶性が向上し、低誘電率層として機能しなくなるため容量値が増加する( $t_{eq}$ は減少する)。また、 $\text{ZrO}_2$  膜の全領域で結晶性が良好になるためリーク電流も減少する。

【0062】なお、上述した実施の形態では、容量絶縁膜を $\text{ZrO}_2$  としたが、容量絶縁膜を $\text{HfO}_2$ 、( $\text{Zr}_x, \text{Hf}_{1-x}$ ) $\text{O}_2$  ( $0 < x < 1$ )、( $\text{Zr}_y, \text{Ti}_{1-y}$ ) $\text{O}_2$  ( $0 < y < 1$ )、( $\text{Hf}_z, \text{Ti}_{1-z}$ ) $\text{O}_2$  ( $0 < z < 1$ )あるいは( $\text{Zr}_k, \text{Ti}_l, \text{Hf}_m$ ) $\text{O}_2$  ( $0 < k, l, m < 1$ かつ $k+l+m=1$ )の少なくとも1つから選ばれる材料とした場合も同様の効果が得られる。

【0063】また、ゲート電極およびソース/ドレイン拡散層領域が高融点金属によりシリサイド化されたトランジスタを有する半導体装置に第2の実施の形態に係る薄膜キャパシタを形成する場合は、アニール条件は、ALD法による $\text{ZrO}_2$  層形成温度以上で、かつ高融点金属によりシリサイド化された前記ゲート電極およびソース/ドレイン拡散層領域で高融点金属シリサイドが凝集しない温度以下で熱処理を行う必要がある。シリサイドの凝集は、面積の小さい領域、すなわちソース/ドレイン拡散層領域よりもゲート電極で顕著になり、例えば、ゲート長 $0.15\mu\text{m}$ 世代のデバイスでは、凝集温度は約 $600^\circ\text{C}$ である。この場合、アニール条件は、ALD法による $\text{ZrO}_2$  層形成温度以上で、かつ $600^\circ\text{C}$ 以下となる。

【0064】次に、本発明の第3の実施の形態について説明する。

【0065】第3の実施の形態は、DRAM、または同一チップにロジック部とメモリ部を搭載するロジック混載DRAMのスタック型MIM(Metal-Insulator-Metal)容量素子において、ALD装置を用いてALD法により下部電極、容量絶縁膜、上部電極を連続で形成するものである。

【0066】まず、従来のDRAM、ロジック混載DRAMのスタック型MIM容量素子の製造方法について説明する。図7に示すように、トランジスタを形成し、容量コンタクト11形成後に、シリンダー層間膜12を成膜する。次に、リソグラフィ技術を用いてシリンダー層間膜12を開口し、次に、開口部に下部電極(メタル)13を成膜する。次に、開口部をレジスト14で保護し、層間膜上の部分のみエッチバックまたはCMP(Chemical Mechanical Polish)などで除去し、各容量素子を分離する。次に、図8に示すように、容量絶縁膜15、上部電極16を形成し、共通電極配線(容量プレート)のパターニングを



行う。

【0067】この従来のスタック型MIM容量素子の製造方法では、下部電極加工の際に下部電極となるべき部分がエッチングされないよう、シリンダー内をレジストで保護する必要がある。このレジストの剥離方法として、下部電極をポリシリコンで形成しているMIS (Metal-Insulator-Silicon) 容量の場合には、酸剥離を用いることが可能であるが、下部電極をTiN等のメタルで形成するMIM構造の容量の場合には酸剥離 (SPM (Sulfuric acid-Peroxide Mixture; 硫酸-過酸化水素水混合溶液) 剥離) によるレジスト除去が不可能であり、このためプラズマ剥離+有機剥離により行う。この方法では、エッチング時に発生する堆積物やフォトリソの剥離残りを完全に除去することが困難である。

【0068】また、従来のスタック型MIM容量素子の製造方法では、下部電極加工時およびレジスト剥離時の下部電極表面へのプラズマダメージ回避が困難である。また、クリーンルーム大気中のカーボンなどの不純物が下部電極表面に付着するため、下部電極と容量絶縁膜との界面を良好に保つことが困難であり、容量膜特性が劣化する原因となる。

【0069】これに対して、本発明の第3の実施の形態では、上部電極および下部電極が、TiN, Ti, W, WN, Pt, Ir, Ruの金属もしくは金属窒化物中から選ばれる少なくとも1つの材料から成り、容量絶縁膜が、 $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ ) あるいは  $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$  かつ  $k+l+m=1$ ) の少なくとも1つから選ばれる材料から成るMIM構造の容量において、下部電極・容量絶縁膜・上部電極をALD装置を用いてALD法により同一装置内にて連続的に形成する。これにより、下部電極と容量絶縁膜の界面状態を良好に保つことができる。

【0070】次に、第3の実施の形態に係るDRAM、ロジック混載DRAMのスタック型MIM容量素子の製造方法について、図9～図14の製造工程断面図を用いて詳細に説明する。ここでは、スタック型容量素子のうちシリンダー型の容量素子について、上部電極および下部電極にTiNを用い、容量絶縁膜に $ZrO_2$ を用いる場合について説明する。

【0071】まず、図9(a)に示すように、基板21上に、素子分離領域22を形成し、図示しないゲート絶縁膜を介してゲート電極23を形成した後、基板21の表面領域内にソース/ドレイン拡散層24を形成する。このゲート電極23はDRAMのワード線を構成するものである。次に、ゲート電極23にサイドウォール25を形成した後、ゲート電極23上およびソース/ドレ

イン拡散層24をCo (コバルト) またはNi (ニッケル) でシリサイド化してトランジスタを形成する。

【0072】次に、図9(b)に示すように、このトランジスタ上にゲート上層間膜26を形成し、続いて、ゲート上層間膜26の上面を平坦化する。次に、図9(c)に示すように、ゲート上層間膜26に、リソグラフィ技術を用いてソース/ドレイン拡散層24に達するセルコンタクト (容量コンタクト部) 27、セルコンタクト (ビットコンタクト部) 28を開口し、開口内をW (タングステン) で充填して、Wプラグを形成する。

【0073】次に、図9(d)に示すように、ゲート上層間膜26およびセルコンタクト27、28上にビット線29を形成し、セルコンタクト28内のWプラグとビット線29を接続する。次に、図10(e)に示すように、ビット線29上にビット線上層間膜30を形成し、続いて、ビット線上層間膜30の上面を平坦化する。

【0074】次に、図10(f)に示すように、ビット線上層間膜30に、リソグラフィ技術を用いてセルコンタクト27に達する容量コンタクト31を開口し、開口内をWで充填して、Wプラグを形成する。続いて、図11(g)に示すように、ビット線上層間膜30および容量コンタクト31上にシリンダー層間膜32を形成する。次に、図11(h)に示すように、シリンダー層間膜32に、リソグラフィ技術を用いて容量コンタクト31に達するシリンダー33を開口する。

【0075】次に、図12(i)に示すように、ALD装置を用いて、TiNからなる下部電極34、 $ZrO_2$ からなる容量絶縁膜35、TiNからなる上部電極36aを同一装置内で大気開放することなく、連続で形成する。

【0076】図15は、ALD装置を用いて下部電極34、上部電極36aとなるTiN膜を形成するときの処理を説明するフロー図である。

【0077】TiN膜の形成には、原料ガスとしてTiCl<sub>4</sub>とNH<sub>3</sub>を用いる。成膜温度は300～500℃とする。

【0078】まず、ALD装置のチャンバー内にTiCl<sub>4</sub>を供給する。そうすると、シリンダー内のシリンダー層間膜32の表面に1原子層だけ反応が起こる。次に、TiCl<sub>4</sub>の供給を停止してチャンバーの中にパージガスを入れて過剰の未反応TiCl<sub>4</sub>を除去する。

【0079】この後に、NH<sub>3</sub>を供給し、基板上に成長したTiを終端しているCl基をNH<sub>2</sub>基と置換する。この際、反応副生成物としてHClが発生する。次に、NH<sub>3</sub>の供給を停止し、ArあるいはN<sub>2</sub>などの不活性ガスをパージガスとして導入し、未反応NH<sub>3</sub>および反応副生成物HClを除去する。

【0080】この後、TiCl<sub>4</sub>の供給によるTi層成長、TiCl<sub>4</sub>停止、パージガス導入による未反応TiCl<sub>4</sub>および反応副生成物HCl除去、パージガス停

止、および $\text{NH}_3$ 供給の手順を順次繰り返す。

【0081】このように、 $\text{TiCl}_4$ 供給、パージ、 $\text{NH}_3$ 供給およびパージの一連のサイクルを所望の回数だけ順次繰り返すことで5〜50nmの膜厚の $\text{TiN}$ からなる下部電極34を得る。

【0082】次に、図2に示すように、第1の実施の形態における $\text{ZrO}_2$ 薄膜の形成と同じように、 $\text{ZrCl}_4$ と $\text{H}_2\text{O}$ を交互に供給して $\text{ZrO}_2$ からなる5〜15nmの膜厚の容量絶縁膜35の形成する。

【0083】さらに、下部電極34の形成と同じように、図5に示す $\text{TiCl}_4$ と $\text{NH}_3$ の供給を交互に繰り返す処理を行って、5〜50nmの膜厚の $\text{TiN}$ からなる上部電極36aを形成する。

【0084】なお、図12(i)では、上部電極36a上にさらにW(タングステン)からなる上部電極36bを形成して上部電極を $\text{TiN}$ とWの2層で形成している。この場合、Wは、ALD法を用いて形成することなく、通常のCVD法、スパッタ法を用いて形成しても良い。ALD法ではガスを交互に入れなければならない、時間がかかるので、CVD法、スパッタ法を用いる方がデバイスを量産する上では効果的である。

【0085】これは、下部電極34にも言えることであり、下部電極34の全てをALD法で形成するのではなく、最初に、例えば、スパッタ法で形成しておいて、界面に相当する部分をALD法で形成して、さらに容量絶縁膜35、上部電極36aを連続的に形成するようにしても良い。

【0086】下部電極34および上部電極36aは、容量絶縁膜35との界面部分だけをALD法により形成すれば十分であるため、ALD法により形成すべき下部電極および上部電極の膜厚は、少なくとも1原子層以上あれば良い。下部電極34および上部電極36aは、容量絶縁膜35との界面部分だけをALD法により少なくとも1原子層以上形成し、残りをCVD法、スパッタ法を用いて形成して、全体の膜厚を5〜50nmとしても良い。

【0087】次に、図12(j)に示すように、CMP、エッチバック、リソグラフィ技術によるパターンニングなどの方法を用いて下部電極34、容量絶縁膜35、上部電極36からなるシリンダー型セル容量素子37を分離する。続いて、図13(k)に示すように、上部電極36と下部電極34とを分離するための絶縁膜38を形成する。

【0088】次に、図13(l)に示すように、絶縁膜38を上部電極36上のみ開口する。この時、開口部39が下部電極34に接触しないようにする。続いて、図14(m)に示すように、共通配線40を形成して上部電極36を共通配線40で接続する。さらに、図14(n)に示すように、共通配線40上に層間絶縁膜41を形成し、層間絶縁膜41上に第1層目の配線である1

メタル42を形成する。

【0089】この第3の実施の形態では、原子層レベルで膜の組成の制御が可能であるALD装置を用いて下部電極、容量絶縁膜、上部電極を同一装置内にて連続で形成するため、下部電極加工時やレジスト剥離時等に生じる下部電極表面への化学的または物理的ダメージを完全に防ぐことができる。さらに、クリーンルーム内の大気中に含まれるカーボンの下部電極および容量絶縁膜表面への付着を抑制することができる。また、これらの理由により、下部電極と容量絶縁膜との界面状態、および容量絶縁膜と上部電極との界面状態を良好に保つことが可能である。また、下部電極と容量絶縁膜との界面を良好に保つことができるため、容量値の低下と容量膜リークの増加を抑制することができる。

【0090】なお、MIM構造の容量素子を形成した後に、第2の実施の形態に係るキャパシタと同様にアニール処理を行うことにより、更に高容量かつ低リーク電流の容量を実現することができる。この場合、アニール条件は、ALD法による $\text{ZrO}_2$ 層形成温度以上で、かつ高融点金属によりシリサイド化された前記ゲート電極およびソース/ドレイン拡散層領域で高融点金属シリサイドが凝集しない温度以下で熱処理を行う。

【0091】また、本発明は、シリンダー型容量素子に限るものではなく、プレーナ型容量素子およびボックス型容量素子にも用いることができる。

【0092】図16は、プレーナ型容量素子の断面図である。基板51には素子分離領域52が形成されており、基板51には図示しないゲート絶縁膜を介してゲート電極53が形成されている。また、基板51中にはCoでシリサイド化されたソース/ドレイン領域54が形成され、ゲート電極53上にゲート上層間膜55が形成されている。

【0093】ゲート上層間膜55中にはビットコンタクト56が形成され、ビットコンタクト56上にビット線57が形成され、ビット線57上にはビット線上層間膜58が形成されている。

【0094】ビット線上層間膜58上には、ALD装置を用いて連続的に形成された金属または金属窒化物からなる下部電極59、 $\text{ZrO}_2$ 層からなる容量絶縁膜60、属または金属窒化物からなる上部電極61があり、下部電極59は、ゲート上層間膜54およびビット線上層間膜58中に形成された容量コンタクト62に接続されている。また、下部電極59、容量絶縁膜60、上部電極61の側壁には、サイドウォール66が形成されている。

【0095】上部電極61上には、上部電極61を接続する共通配線63が形成され、共通配線63上には、共通配線上層間膜64を介して第1層目の配線である1メタル65が形成されている。

【0096】図17は、ボックス型容量素子の断面図で

ある。基板71には素子分離領域72が形成されており、基板上71には図示しないゲート絶縁膜を介してゲート電極73が形成されている。また、基板71中にはCoでシリサイド化されたソース/ドレイン領域74が形成され、ゲート電極73上にゲート上層間膜75が形成されている。

【0097】ゲート上層間膜75中にはビットコンタクト76が形成され、ビットコンタクト76上にビット線77が形成され、ビット線77上にはビット線上層間膜78が形成されている。また、ゲート上層間膜74およびビット線上層間膜78中には容量コンタクト82が形成されている。

【0098】容量コンタクト82上には、W(タングステン)からなる下部電極79aが形成され、下部電極79aおよびビット線上層間膜78上には、ALD装置を用いて連続的に形成された金属または金属窒化物からなる下部電極79b、 $ZrO_2$ からなる容量絶縁膜80、金属または金属窒化物からなる上部電極81がある。

【0099】上部電極81b上には、上部電極81と下部電極79bを絶縁するための絶縁膜86が形成され、絶縁膜86上には上部電極81bを接続する共通配線83が形成されている。共通配線83上には、共通配線上層間膜84を介して第1層目の配線である1メタル85が形成されている。

【0100】次に、本発明の第4の実施の形態について説明する。

【0101】本発明の第4の実施の形態は、最上配線上に絶縁膜を介してMIM構造の薄膜キャパシタを有する半導体装置において、容量絶縁膜を低温成膜が可能でかつ酸化雰囲気のパストアニールを不要とするALD法により形成して、このMIM構造の薄膜キャパシタを電源間のデカップリングコンデンサとして機能させるものである。

【0102】図18は、本発明の第4の実施の形態に係る半導体装置の一部断面図である。最上層配線(接地線)101、最上層配線(電源線)102上には層間膜103が形成され、層間膜103上には、デカップリングコンデンサ104として機能する下部電極105、容量絶縁膜106、上部電極107が順次形成されている。また、下部電極105と最上層配線(接地線)101とはコンタクト108を介して接続されており、上部電極107と最上層配線(電源線)102とはコンタクト109を介して接続されている。

【0103】次に、図18に示すデカップリングコンデンサの製造方法について説明する。まず、既知の製造方法に基づき作製したロジックデバイスの最上層配線101の直上に、スパッタ法あるいはALD法によりTiN、Ti、Ta<sub>2</sub>N、Ta、W、WN、Pt、Ir、Ruから成る群中の少なくとも1つ以上の材料からなる下部電極膜を成膜し、下部電極膜を所望の形状に加工して下

部電極102を形成する。

【0104】下部電極102を形成した後に、ALD法により成膜温度200~400℃で容量絶縁膜を成膜する。この容量絶縁膜は、 $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ )あるいは $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$ かつ $k+l+m=1$ )の少なくとも1つから選ばれる材料の単層膜、あるいは少なくとも2つ以上の材料から成る積層膜である。次に、容量絶縁膜を所望の形状に加工して容量絶縁膜103を形成する。

【0105】この後、スパッタ法あるいはALD法によりTiN、Ti、Ta<sub>2</sub>N、Ta、W、WN、Pt、Ir、Ruから成る群中の少なくとも1つ以上の材料からなる上部電極膜を成膜し、次に、所望の形状に加工して上部電極104を形成することにより半導体装置内部にデカップリングコンデンサとして機能する薄膜キャパシタを得る。

【0106】なお、図18では、下部電極を最上層配線(接地線)に接続し、上部電極を最上層配線(電源線)に接続しているが、本発明は、この場合に限定されるものではなく、接続関係を入れ替えて下部電極を最上層配線(電源線)に接続し、上部電極を最上層配線(接地線)に接続する場合も当然に同じ作用を奏するものである。

【0107】また、図18では、デバイスの最上層配線の直上にデカップリングコンデンサとして機能する薄膜キャパシタを形成したが、最上層配線上に限るものではなく、デバイスの内部、下部いずれの場所でも良い。

【0108】上述したように、この第4の実施の形態では、高誘電率を有する容量絶縁膜の形成に低温成膜かつ酸化雰囲気のパストアニール不要の特徴を有するALD法を用いることにより、配線層の酸化による特性劣化、歩留まり低下を引き起こさずに半導体装置の内部に薄膜キャパシタを形成できる。

【0109】この薄膜キャパシタをデカップリングコンデンサとして機能させることにより、従来のオンチップデカップリングコンデンサの問題を解決するとともに、オンチップデカップリングコンデンサの利点である低インダクタンス・大容量を実現できる。

【0110】

【発明の効果】以上説明したように、本発明は、MIM構造の薄膜キャパシタにおいて、容量絶縁膜に $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ )あるいは $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$ かつ $k+l+m=1$ )の少なくとも1つから成る材料を用いることにより、リーク電流を減少させ、かつ容量値を増

加させることができる。

【0111】また、本発明は、MIM構造の薄膜キャパシタにおいて、 $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ ) あるいは  $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$  かつ  $k+l+m=1$ ) の少なくとも1つから成る容量絶縁膜の成膜後にさらにアニール処理を行うことにより、さらにリーク電流を減少させ、かつ容量値を増加させることができる。

【0112】また、本発明は、DRAMまたはロジック混載DRAMのスタック型MIM容量素子において、ALD法により下部電極、容量絶縁膜、上部電極を連続で形成するため、ゲート電極およびソース/ドレイン拡散領域に形成したシリサイド層を劣化させることなく、かつ、メモリ部に搭載されるDRAMセルの容量として十分な値を確保(単位面積当たりの最小容量値および単位面積当たりの最大リーク電流値)することができる。

【0113】さらに、本発明は、 $ZrO_2$ 、 $HfO_2$ 、 $(Zr_x, Hf_{1-x})O_2$  ( $0 < x < 1$ )、 $(Zr_y, Ti_{1-y})O_2$  ( $0 < y < 1$ )、 $(Hf_z, Ti_{1-z})O_2$  ( $0 < z < 1$ ) あるいは  $(Zr_k, Ti_l, Hf_m)O_2$  ( $0 < k, l, m < 1$  かつ  $k+l+m=1$ ) の少なくとも1つから成る容量絶縁膜を有する薄膜キャパシタを半導体装置の最上配線上に形成することにより、LSIの高速化に対応した低インダクタンスかつ大容量のオンチップデカップリングコンデンサを実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかる薄膜キャパシタの構造を示す図である。

【図2】ALD装置を用いて $ZrO_2$  薄膜を成膜する処理を説明するフロー図である。

【図3】薄膜キャパシタの電極間電圧( $V_p$ )とリーク電流との関係を示す図である。

【図4】 $t_{eq}$  ( $SiO_2$  換算膜厚)と実膜厚との関係を示す図である。

【図5】 $t_{eq}$  ( $SiO_2$  換算膜厚)と実膜厚との関係を示す図である。

【図6】リーク電流と $t_{eq}$  ( $SiO_2$  換算膜厚)との関係を示す図である。

【図7】従来のスタック型MIM容量素子の製造方法について説明する断面図である。

【図8】従来のスタック型MIM容量素子の製造方法について説明する断面図である。

【図9】本発明のスタック型MIM容量素子の製造方法について説明する断面図である。

【図10】本発明のスタック型MIM容量素子の製造方法について説明する断面図である。

【図11】本発明のスタック型MIM容量素子の製造方

法について説明する断面図である。

【図12】本発明のスタック型MIM容量素子の製造方法について説明する断面図である。

【図13】本発明のスタック型MIM容量素子の製造方法について説明する断面図である。

【図14】本発明のスタック型MIM容量素子の製造方法について説明する断面図である。

【図15】ALD装置を用いてTiN膜を形成する処理を説明するフロー図である。

【図16】プレーナ型容量素子の断面図である。

【図17】ボックス型容量素子の断面図である。

【図18】本発明の第4の実施の形態に係る半導体装置の一部断面図である。

【図19】従来の薄膜キャパシタの電極間電圧( $V_p$ )とリーク電流との関係を示す図である。

【図20】従来のデカップリングコンデンサを説明する図である。

【図21】従来のデカップリングコンデンサを説明する図である。

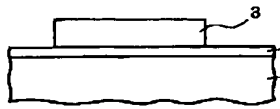
【符号の説明】

- 1, 13, 34, 59, 79a, 79b, 96, 105 下部電極
- 2, 15, 35, 60, 80, 97, 106 容量絶縁膜
- 3, 16, 36, 61, 81, 98, 107 上部電極
- 11 容量コンタクト
- 12 シリンダー層間膜
- 14 レジスト
- 21, 51, 71 基板
- 22, 52, 72 素子分離領域
- 23, 53, 73 ゲート電極
- 24, 54, 74 ソース/ドレイン領域
- 25, 66 サイドウォール
- 26, 55, 75 ゲート上層間膜
- 27, 28 セルコンタクト
- 29, 57, 77 ビット線
- 30, 58, 78 ビット線上層間膜
- 31 容量コンタクト
- 32 シリンダー層間膜
- 33 シリンダー
- 37 シリンダー型セル容量素子
- 38, 86 絶縁膜
- 39 開口部
- 40, 63, 83 共通配線
- 41 層間絶縁膜
- 42, 65, 85 1メタル
- 56, 76 ビットコンタクト
- 62, 82 容量コンタクト
- 64, 84 共通配線上層間膜
- 91 プリント基板

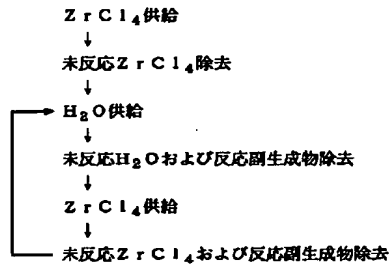
92 LSIチップ  
 93 積層セラミックコンデンサ  
 94, 101 配線 ( 接地線 )  
 95, 102 配線 ( 電源線 )

99, 104 デカップリングコンデンサ  
 103 層間膜  
 108, 109 コンタクト

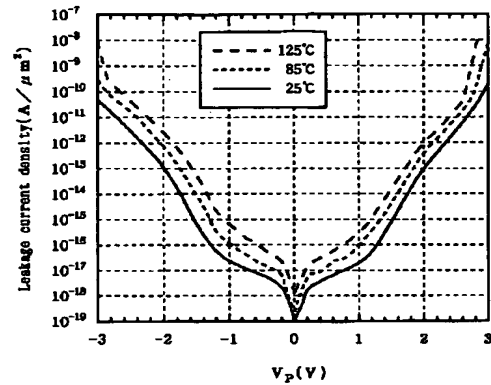
【図1】



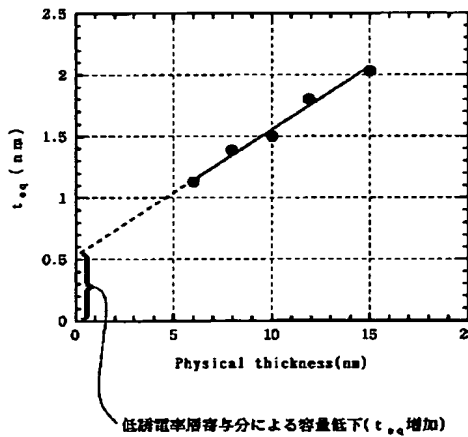
【図2】



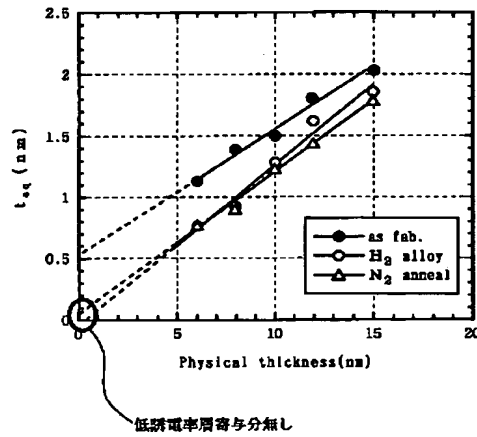
【図3】



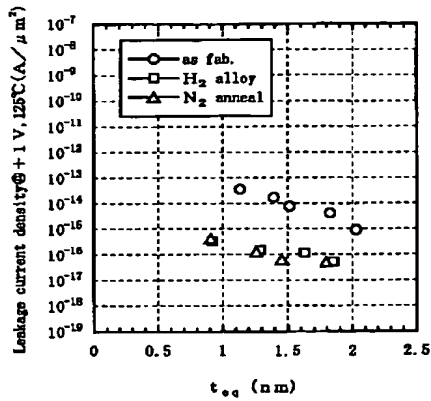
【図4】



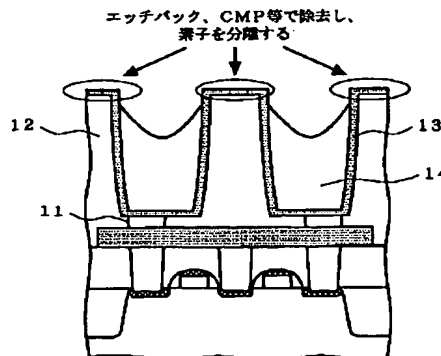
【図5】



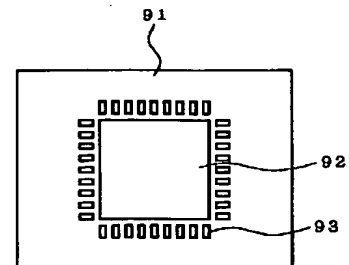
【図6】



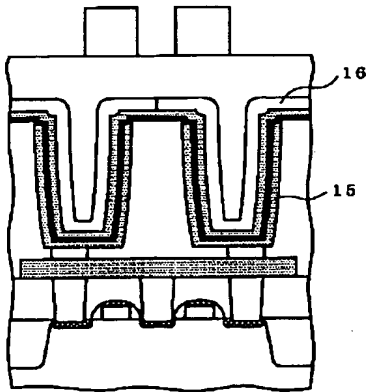
【図7】



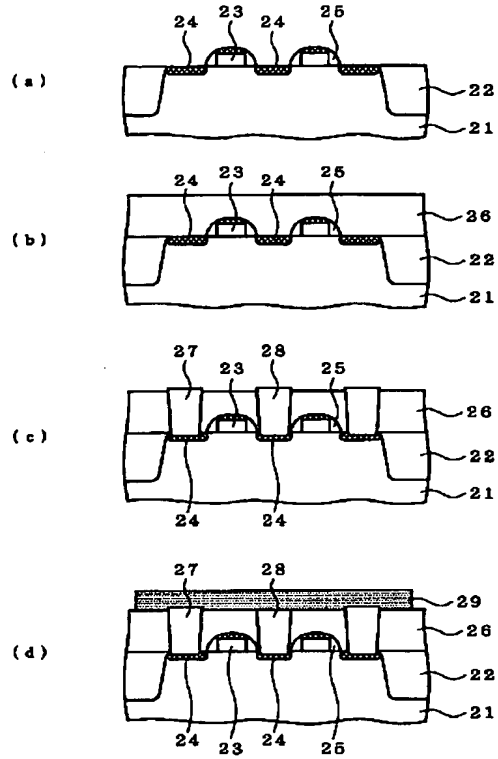
【図20】



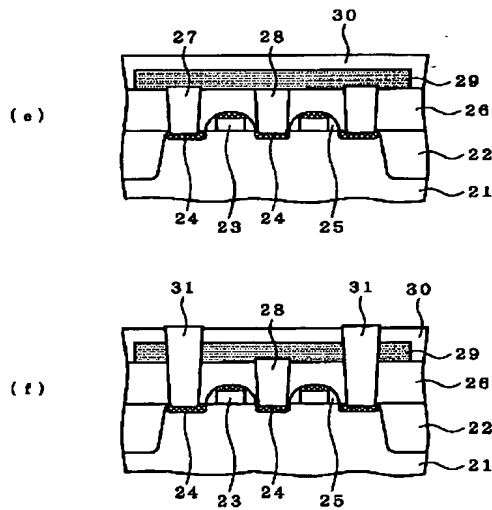
【図8】



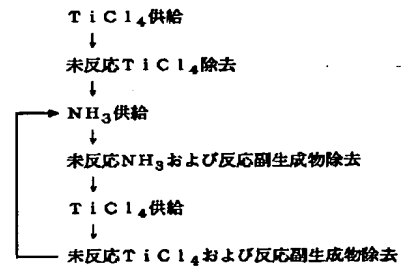
【図9】



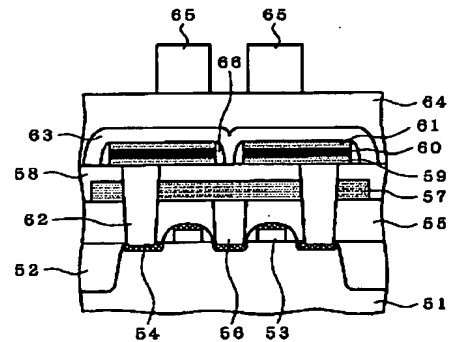
【図10】



【図15】



【図16】

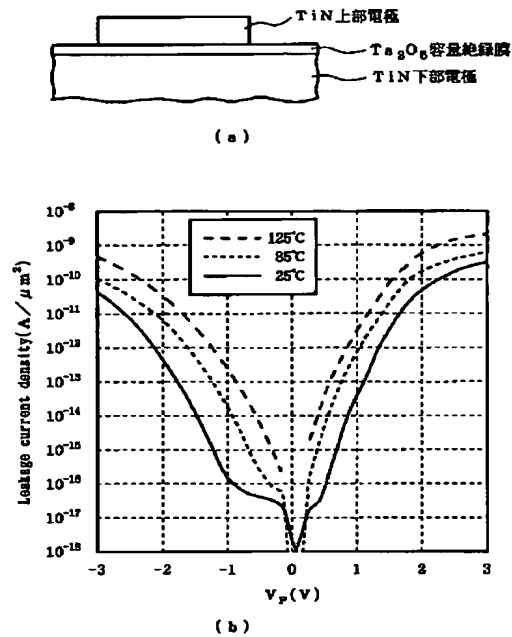








【図19】



フロントページの続き

(72)発明者 戸田 麻美

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(72)発明者 山道 新太郎

東京都港区芝五丁目7番1号 日本電気株  
式会社内

Fターム(参考) 5F038 AC05 AC15 DF05 EZ20

5F058 BA11 BC03 BF20 BF24 BF29  
BH01 BH04 BH05

5F083 AD21 AD24 AD42 AD48 AD49  
GA06 JA02 JA12 JA35 JA38  
JA39 JA40 KA15 KA16 MA06  
MA17 MA20 PR21 PR33 PR40  
PR52 ZA12